



UNITED STATES PATENT AND TRADEMARK OFFICE

I, Neil Thomas SIMPKIN BA,

Deputy Managing Director of RWS Group Ltd UK Translation Division, of Europa House,  
Marsham Way, Gerrards Cross, Buckinghamshire, England declare;

1. That I am a citizen of the United Kingdom of Great Britain and Northern Ireland.
2. That the translator responsible for the attached translation is well acquainted with the German and English languages.
3. That the attached is, to the best of RWS Group Ltd knowledge and belief, a true translation into the English language of the accompanying copy of the specification filed with the application for a patent in Germany on 16 April 2003 under the number DE 103 17 598.9 and the official certificate attached hereto.
4. That I believe that all statements made herein of my own knowledge are true and that all statements made on information and belief are true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code and that such willful false statements may jeopardize the validity of the patent application in the United States of America or any patent issuing thereon.

---

For and on behalf of RWS Group Ltd

The 11th day of May 2007

# **FEDERAL REPUBLIC OF GERMANY**

[Eagle crest]

## **Priority Certificate**

**DE 103 17 598.9**

**for the filing of a Patent Application**

**File Reference:** 103 17 598.9

**Filing date:** 16 April 2003

**Applicant/Proprietor:** Infineon Technologies AG, 81669 Munich/DE

**Title:** Integrated transceiver circuit

**IPC:** H 04 B 1/40; H 04 B 1/16

**The attached documents are a correct and accurate reproduction of the parts of the submission for this Patent Application filed on 16 April 2003 irrespective of any discrepancies in colour caused by the copying process.**

Munich, 26 April 2007

**German Patent and Trademark Office**

**The President**

[Seal of the German Patent  
and Trademark Office]

pp

[signature]

Kahle

Description

Integrated transceiver circuit

5 The invention relates to an integrated transceiver circuit, which has an integrated receiver and, in addition, an integrated transmitter. A transmission signal can be transmitted and a received signal received at the same time via a duplexer and an antenna  
10 with the aid of the integrated transceiver circuit.

Transceivers such as these are used, for example, in the filtered mobile radio. In this case, multimode transceivers in particular are also used, which have a  
15 high integration density and require and extraordinarily flexible transceiver concept in order to satisfy the requirements for low power consumption, a small area requirement and the different mobile radios. In this case, each mobile radio communication  
20 system predetermines its own clock frequencies for the integrated analog/digital converters and for the digital signal processing unit. Thus, for example, a mobile radio which is operated on the basis of the GSM Standard (Global System for Mobile Communications)  
25 predetermines a clock frequency of 13 MHz or a multiple of this. A mobile radio which operates on the basis of the UMTS Standard (Universal Mobile Telecommunications/Telephony System) in contrast requires a clock frequency of 3.84 MHz. A mobile radio  
30 system which operates on the basis of the CDMA 2000 Standard (Code Division Multiple Access) requires a clock frequency of 3.6864 MHz while, in contrast, the GPS (Global Positioning System) requires a clock frequency of 10.033 MHz. Finally, the DAB (Digital  
35 Audio Broadcast/Broadcasting) system requires a clock frequency of 8.192 MHz. These examples clearly illustrate that there is no integer relationship between these different clock frequencies. However, a

multimode or multisystem transceiver must be designed such that it can be used for all communications standards and, in particular, for the standards mentioned above. This means that the individual  
5 functional blocks in the transceiver must be suitable for use in different mobile radio communications systems.

A further problem in the development of an integrated  
10 multimode transceiver circuit is that, in addition, the clock frequency must at the same time be sufficiently low but the multiples of the clock frequency, that is to say their harmonic frequencies, do not fall in the desired signal band of the receiver or in the  
15 intermediate frequency band. The harmonic frequencies of the clock frequency must also not appear in the signal spectrum of the transmission signal. Furthermore, the integrated transceiver circuit must be designed such that reception interference in the  
20 receiver path caused by the harmonic clock frequencies of the parasitic modulation of the voltage controlled oscillator (VCO) is outside the specified frequency bandwidth of the mobile radio system. On the other hand, however, the clock frequency should be high  
25 enough in order to allow increased oversampling for the analog/digital converters, which may be in the form of switched capacitor (SC) sigma delta converters or continuous time (CT) sigma delta converters.

30 Because some local oscillators and the clocks for the analog/digital and digital/analog converters are integrated on the transceiver chip, the frequencies and clock frequencies must be planned particularly carefully. This is necessary in particular in order to  
35 avoid undesirable interference in the desired RF or IF band, or in the base frequency band. Furthermore, the required signals must be derived from the main clock in a manner which allows the current that is drawn to be

kept as small as possible, the chip area to be minimized, and a flexible solution to be offered.

Until now, the clock for the analog/digital converters  
5 has been obtained from the clock signal from a crystal oscillator or from the harmonic frequencies of the clock signal from the crystal oscillator, with the crystal oscillator being arranged outside the integrated circuit. As an alternative to this the  
10 problem has until now been solved by providing a separate frequency generator, comprising a voltage controlled oscillator and a phase locked loop, specifically for this purpose outside the integrated circuit.

15 One object of the invention is to specify an integrated transceiver circuit which can be used for different clock frequencies, with the harmonic frequencies that are produced by the clock frequency not causing any  
20 interference.

The object is achieved by an integrated transceiver circuit having the features as claimed in patent claim 1.

25 The integrated transceiver circuit according to the invention advantageously requires extraordinarily little space. A further advantage is that the current that is drawn is minimal.

30 The proposed principle can be used not only for transceiver circuits but also for separate transmitting apparatuses as well as for separate receiving apparatuses.

35 The integrated transceiver circuit according to the invention has a reception path, with the reception path having a mixer unit for demodulation of the received

signal and having an analog/digital converter unit, which is connected downstream from the mixer unit. The integrated transceiver circuit also has a first voltage controlled oscillator and a first frequency divider, with the frequency divider being connected between the first oscillator and the mixer unit in order to predetermine the demodulation frequency. Finally, a second frequency divider is also provided, which is connected between the first oscillator and the analog/digital converter unit, in order to predetermine the sampling frequency.

Advantageous developments of the invention will become evident from the features specified in the dependent patent claims.

In a first development of the integrated transceiver circuit according to the invention, a transmission path is provided, with the transmission path having a modulator for modulation of a signal to be transmitted. Furthermore, a second voltage controlled oscillator and a third frequency divider are provided, with the third frequency divider being connected between the second oscillator and the modulator, in order to predetermine the modulation frequency. This means that the harmonics of the clock frequency are also outside the bandwidth of the useful signal in the transmission path.

In a second development of the invention, the integrated transceiver circuit in the transmission path has a digital/analog converter unit, which is connected upstream of the modulator. Furthermore, a fourth frequency divider is provided, which is connected between the second oscillator and the digital/analog converter unit, in order to predetermine its sampling frequency. The coupling of the digital/analog converter unit to the second voltage controlled oscillator that is provided in the integrated transceiver circuit makes

it possible to achieve increased oversampling in a simple manner, without any additional interference occurring in the useful signal.

- 5 The described principle is not restricted to transmitting and receiving units, but may also be used for separate transmitting apparatuses and separate receiving apparatuses.
- 10 In a third development of the integrated transceiver circuit according to the invention, a reference frequency input is provided for application of an external reference frequency. Furthermore, a first phase locked loop is provided, which is connected
- 15 between the reference frequency input and the first voltage controlled oscillator. This allows the high-precision but low reference frequency that is produced by an external crystal oscillator to be converted to a high and additionally precise internal reference
- 20 frequency.

The integrated transceiver circuit advantageously has a second phase locked loop, which is connected between the reference frequency input and the second voltage

25 controlled oscillator. This makes it possible to make use of the advantage mentioned above in the transmission path as well.

It is also advantageous for the integrated transceiver

30 circuit according to the invention to have a low-pass filter unit, which is connected between the mixer unit and the analog/digital converter unit. The low-pass filter unit makes it possible to filter out from the signal that is produced by the mixer that signal

35 component which represents the actual useful signal.

Furthermore, the integrated transceiver circuit can be provided with a second low-pass filter unit, which is

connected between the digital/analog converter unit and the modulator.

In order to achieve the object, it is also proposed  
5 that the mixer unit for the integrated transceiver circuit be in the form of an IQ mixer.

The modulator of the integrated transceiver circuit may, according to a further feature of the invention,  
10 be in the form of an IQ modulator.

In a further embodiment of the invention, the reception path has a digital signal processing unit, which is connected downstream from the analog/digital converter  
15 unit, and with the output of the digital signal processing unit forming a digital reception path output.

According to a further feature of the invention, the  
20 circuit can be even further improved by the reception path having a digital/analog converter unit which is connected downstream of the digital signal processing unit, and the output of the digital/analog converter unit forms an analog reception path output. A digital  
25 received signal or an analog received signal can thus be tapped off optionally at the outputs of the integrated transceiver circuit.

Furthermore, in the case of the integrated transceiver  
30 circuit according to the invention, the analog/digital converter unit may have a first analog/digital converter and a second analog/digital converter, whose sampling control inputs are connected to the output of the second frequency divider. Particularly when using  
35 an IQ mixer, the in-phase signal component and the quadrature signal component can thus be converted synchronously from an analog signal to a digital signal.



Finally, in the case of the integrated transceiver circuit according to the invention, the divisor values of the frequency dividers may be integer values. This  
5 has the advantage, inter alia, that their space requirement on the transceiver module is small and the current that they draw is low.

The invention will be explained in more detail in the  
10 following text using a number of exemplary embodiments and with reference to two figures, in which:

Figure 1 shows the basic design of the integrated transceiver circuit according to the  
15 invention in the form of a block diagram.

Figure 2 shows the components of the digital signal processor for processing the digitized received signal in the form of a block  
20 diagram.

The block diagram in Figure 1 shows the basic design of one possible embodiment of the integrated transceiver circuit according to the invention. The integrated  
25 transceiver circuit 3 has a reference frequency input 32, to which an external crystal oscillator 24 is connected. A reference signal is produced via the external crystal oscillator 24 and a reference frequency which has good frequency stability. The  
30 reference frequency input 32 is connected to the input of a first phase locked loop (PLL) 19, and to the input of a second phase locked loop 20. In conjunction with a local oscillator 18 which is in the form of a voltage controlled oscillator (VCO), the first phase locked  
35 loop 19 produces an extraordinarily stable first internal clock frequency. The clock frequency which is produced by the voltage controlled oscillator 18 is passed to the two inputs of an IQ mixer 11.1 and 11.2

via a first frequency divider 12, which divides the clock frequency by the factor K. The factor K is a value which is taken from the set of natural numbers. A received signal ES which is applied to the receiver input 39 of the integrated transceiver circuit 3, and has been received by an antenna 2 and passed by a duplexer 1 to the receiver input 39, is amplified via a reception amplifier 10 and is passed to the two mixer inputs of the IQ mixer 11.1 and 11.2. The amplified received signal ES is mixed with the aid of the IQ mixer 11.1, 11.2 with the internal clock signal divided by the factor K, and is passed via a first low-pass filter 13.1 and a second low-pass filter 13.2, respectively, to the inputs of an analog/digital converter unit 14.1 and 14.2. The analog/digital converter unit has two analog/digital converters 14.1 and 14.2, whose control inputs for the sampling signal are connected to a second frequency divider 23, with the second frequency divider 23 dividing the internal reference frequency that is produced by the voltage controlled oscillator 18 by the divisor value N, which is likewise an integer value. The down-mixed digital received signals which are produced at the outputs of the two analog/digital converters 14.1 and 14.2 are passed to a digital signal processing unit 15, comprising the two signal processing blocks 15.1 and 15.2. The in-phase component and the quadrature signal component of the received signal are processed further with the aid of the digital signal processor 15 in the steps shown in Figure 2 and are then available as digital received signal components at the two digital receiver outputs 33 and 34 of the integrated transceiver circuit 3. The reception path through the transceiver circuit 3 also has two digital/analog converters 16.1 and 16.2, which are connected downstream from the digital signal processor 15 and, together with two low-pass filters 17.1 and 17.2, use the digital received signal components to form an

analog received signal, comprising an in-phase component and a quadrature component. The two analog signal components can be tapped off at the two analog output connections 41 and 42.

5

When the transceiver is used in a CDMA system by way of example, the voltage controlled oscillator 18 can produce a clock signal at a frequency of 4 GHz, which is then divided down by the 1:K frequency divider 12 and the 1:N frequency divider 23 to the required frequencies. For example, the sampling frequency for the analog/digital converters 14.1 and 14.2 can thus be fixed at 400 MHz. The divisor value N thus then has the value 10.

15

The transmission path through the integrated transceiver module 3 has two digital inputs 35 and 38, via which two digital/analog converters 31.1 and 31.2 produce an analog transmission signal from a digital transmission signal that is in baseband. This analog transmission signal is passed via two low-pass filters 30.1 and 30.2 to the inputs of two mixers 28.1 and 28.2 of a modulator 28.1, 28.2, 27. The internal clock signal which is produced by the local oscillator 21 in conjunction with the phase locked loop 20 is divided by a 1:L frequency divider 29 and is passed to the two further inputs of the two mixers 28.1 and 28.2. The 1:L frequency divider divides the frequency by an integer value L. The in-phase signal component which is produced by the mixer 28.1 and does not have any phase shift is added with the aid of an adder 27 to the quadrature signal component that is produced by the mixer 28.2 and has a 90° phase shift, and is passed to an internal variable gain amplifier 26. The amplified transmission signal can then be tapped off at the transmission signal output 40 of the integrated transceiver module 3. It can then be passed by an external amplifier 25 to the antenna 2, in an

additionally amplified form, with the aid of the duplexer 1.

Figure 2 shows the individual signal processing steps in the digital signal processor 15, subdivided into individual functional blocks. The digital received signal which is applied to the input of the digital signal processor 15 is first of all filtered with the aid of a digital filter 15.3, in order to subsequently be amplified with the aid of a variable gain amplifier 15.4. In a next step, the signal is filtered with the aid of a Hilbert filter 15.5, with the negative frequencies in this case being attenuated and the positive frequencies being passed through. The signal that has been filtered in this way is then mixed with high precision via a digital mixer 15.6 and, finally, is filtered once again via a channel filter 15.7, in order then to make it possible to tap this off as a digital received signal at the connections 33 and 34. The frequency of the signal which is produced by the second local oscillator 21 is divided with the aid of the 1:M frequency divider 22 by an integer value M, and is passed to the control inputs for the sampling signal of the two digital/analog converters 31.1 and 31.2.

Since the sampling frequencies for the two analog/digital converters 14.1 and 14.2 are obtained from the frequency of the local oscillator 18 by dividing its frequency by an integer divisor value N, this means that the frequency of the local oscillator 18 satisfies an integer relationship with the sampling frequency of the analog/digital converter unit 14.1, 14.2 for each frequency channel and for each communication system. The harmonic frequency components in the sampling signal for the analog/digital converter unit 14.1, 14.2 thus never occur in the band region of the received signal. The same is also true in the same sense for the ratio between the frequency produced by

the second local oscillator 21 and the sampling frequency for the two digital/analog converters 31.1 and 31.2. In this case as well, the harmonic frequencies of the sampling signals for the digital/analog converters 31.1 and 31.2 never fall in the frequency range of the useful signal. This means that the sampling signals and their harmonic frequencies are synchronized to the transmission signal. The requirements for masking of the transmission signal spectrum and for the transmitter interference responses can thus be satisfied more easily.

The integrated transceiver circuit allows the oscillator frequency for the external oscillator 24 for the two phase locked loops 19 and 20 to be chosen to be sufficiently low that the harmonic frequencies cannot occur in the desired reception channel. A further advantage means that the sampling frequencies for the analog/digital converters 14.1 and 14.2 and those for the digital/analog converters 31.1 and 31.2 can be chosen to be sufficiently high to allow a sufficiently high degree of oversampling. In addition, the sampling frequency for the analog/digital converters 14.1, 14.2 shifts the receiver interference response out of the frequency band of the mobile radio system, owing to the parasitic receiver VCO modulation. Furthermore, the high sampling frequency for the digital/analog converters 31.1 and 31.2 shifts the transmitter interference response out of the frequency band of the mobile radio system owing to the parasitic transmitter VCO modulation. A further advantage is justified by the fact that the chip area and the power consumption can be reduced, because the frequency dividers 12, 23, 22 and 29 draw only a small amount of current and occupy a small chip area when they are implemented, for example, in a sub-micron CMOS configuration. Furthermore, the phase noise in the reception path is small, and the

signal jitter in the voltage controlled oscillator 21 in the transmission path is likewise very low.

If it should be found to be a disturbing factor that the sampling frequency for the analog/digital converters 14.1 and 14.2 does not have an integer relationship with the chip clock rate, for example in a CDMA system, this problem may be solved in the following two ways. One possibility is to provide a sampling rate converter in a system with a low bit rate, for example GSM. A second possibility is to convert the digitized received signal back to an analog received signal, to be precise with the aid of the two digital/analog converters 16.1 and 16.2. Two reconstruction filters 17.1 and 17.2 are then also provided and are connected downstream from the two digital/analog converters 16.1 and 16.2 in order to smooth the received signal, which has once again been converted to an analog signal. The number of bits as well as the Nyquist clock frequency are also considerably lower in this case.

The transmitter/receiver module, for example for a GSM, UMTS, CDMA, GPS and DAB system can be produced with the aid of the integrated transceiver circuit according to the invention. The integrated transceiver circuit according to the invention advantageously produces very little interference and is very insensitive to interference, with the power consumption of the chip area being minimized at the same time.

The above description of the exemplary embodiments according to the present invention is intended only for illustrative purposes and not for the purpose of restricting the invention. Various changes and modifications are possible within the scope of the invention without departing from the scope of the invention and its equivalents.

List of reference symbols

	1	Duplexer
	2	Antenna
5	3	Transceiver module
	10	Input amplifier
	11.1	Mixer
	11.2	Mixer
	12	1/K divider
10	13.1	Low-pass filter
	13.2	Low-pass filter
	14.1	Analog/digital converter
	14.2	Analog/digital converter
	15	Digital signal processor
15	15.3	Digital filter
	15.4	Variable gain amplifier
	15.5	Hilbert filter
	15.6	Digital mixer
	15.7	Channel filter
20	16	Digital/analog converter
	17	Low-pass filter
	18	Voltage controlled oscillator
	19	Phase locked loop
	20	Phase locked loop
25	21	Voltage controlled oscillator
	22	1/M divider
	23	1/N divider
	24	External oscillator
	25	External amplifier
30	26	Transmission amplifier
	27	Adder
	28	Mixer
	29	1/L divider
	30	Low-pass filter
35	31	Digital/analog converter
	32	Reference frequency input
	33	Digital receiver output
	34	Digital receiver output

	35	Digital input
	36	Analog input
	37	Analog input
	38	Digital input
5	39	Receiver input
	40	Transmitter output
	41	First analog receiver output
	42	Second analog receiver output



Patent Claims

1. An integrated transceiver circuit  
having a reception path in which a mixer unit (11.1,  
5 11.2) is provided for demodulation of a received signal  
(ES), and in which an analog/digital converter unit  
(14.1, 14.2) is connected downstream from the mixer  
unit (11.1, 11.2),  
having a first voltage controlled oscillator (18),  
10 having a first frequency divider (12) which is  
connected between the first oscillator (18) and the  
mixer unit (11.1, 11.2) in order to predetermine the  
demodulation frequency,  
having a second frequency divider (23) which is  
15 connected between the first oscillator (18) and the  
analog/digital converter unit (14.1, 14.2) in order to  
predetermine the sampling frequency.

2. The integrated transceiver circuit as claimed in  
20 patent claim 1, having a transmission path in which a  
modulator (28.1, 28.2, 27) is provided for modulation  
of a signal to be transmitted,  
having a second voltage controlled oscillator (21),  
having a third frequency divider (29) which is  
25 connected between the second oscillator (21) and the  
modulator (28.1, 28.2, 27) in order to predetermine the  
modulation frequency.

3. The integrated transceiver circuit as claimed in  
30 patent claim 2, in which a digital/analog converter  
unit (31.1, 31.2) is connected upstream of the  
modulator (28.1, 28.2, 27) in the transmission path,  
having a fourth frequency divider (22) which is  
connected between the second oscillator (21) and the  
35 digital/analog converter unit (31.1, 31.2) in order to  
predetermine its sampling frequency.

4. The integrated transceiver circuit as claimed in one of patent claims 1 to 3, having a reference frequency input (32) for application of an external reference frequency,

5 having a first phase locked loop (19), which is connected between the reference frequency input (32) and the first voltage controlled oscillator (18).

10 5. The integrated transceiver circuit as claimed in patent claim 4, having a second phase locked loop (20), which is connected between the reference frequency input (32) and the second voltage controlled oscillator (21).

15 6. The integrated transceiver circuit as claimed in one of patent claims 1 to 5, having a low-pass filter unit (13.1, 13.2), which is connected between the mixer unit (11.1, 11.2) and the analog/digital converter unit (14.1, 14.2).

20 7. The integrated transceiver circuit as claimed in one of patent claims 3 to 6, having a second low-pass filter unit (30.1, 30.2), which is connected between the digital/analog converter unit (31.1, 31.2) and the modulator (28.1, 28.2, 27).

30 8. The integrated transceiver circuit as claimed in one of patent claims 1 to 7, in which the mixer unit (11.1, 11.2) is in the form of an IQ mixer.

35 9. The integrated transceiver circuit as claimed in one of patent claims 2 to 8, in which the modulator (28.1, 28.2, 27) is in the form of an IQ modulator.

10. The integrated transceiver circuit as claimed on one of patent claims 1 to 9,

in which the reception path has a digital signal processing unit (15.1, 15.2) which is connected downstream from the analog/digital converter unit (14.1, 14.2), and the output of the signal processing unit (15.1, 15.2) forms a digital reception path output (33, 34).

11. The integrated transceiver circuit as claimed in patent claim 10,  
10 in which the reception path has a digital/analog converter unit (16.1, 16.2), which is connected downstream from the digital signal processing unit (15.1, 15.2), and the output of the digital/analog converter unit (16.1, 16.2) forms an analog reception  
15 path output (41, 42).

12. The integrated transceiver circuit as claimed in one of patent claims 1 to 11,  
in which the analog/digital converter unit (14.1, 14.2)  
20 has a first analog/digital converter (14.1) and a second analog/digital converter (14.2), whose sampling control inputs are connected to the output of the second frequency divider (23).

25 13. The integrated transceiver circuit as claimed in one of patent claims 1 to 12,  
in which the divisor values of the frequency dividers (12, 22, 23, 29) are integer values.

## Abstract

### Integrated transceiver circuit

The integrated transceiver circuit according to the invention has a reception path, which in turn has a mixer unit (11.1, 11.2) is provided for demodulation of a received signal (ES), and in which an analog/digital converter unit (14.1, 14.2) is connected downstream from the mixer unit (11.1, 11.2). The integrated transceiver circuit also has a first voltage controlled oscillator (18) and a first frequency divider (12), with the frequency divider (12) being connected between the first oscillator (18) and the mixer unit (11.1, 11.2), in order to predetermine the demodulation frequency.

Finally, a second frequency divider (23) is provided, and is connected between the first oscillator (18) and the analog/digital converter unit (14.1, 14.2) in order to predetermine the sampling frequency.

Figure 1

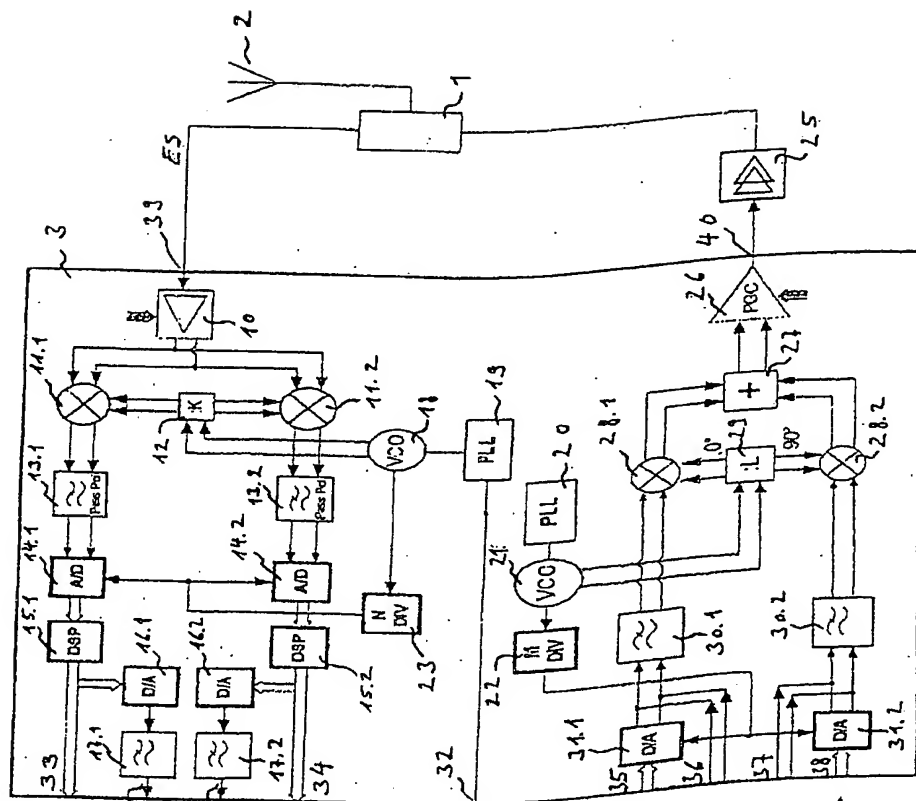


Fig. 1

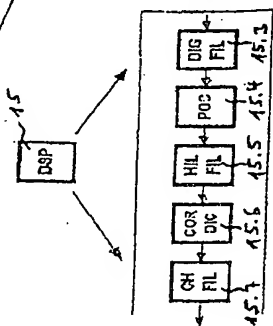


Fig. 2



**Prioritätsbescheinigung  
DE 103 17 598.9  
über die Einreichung einer Patentanmeldung**

**Aktenzeichen:** 103 17 598.9

**Anmeldetag:** 16. April 2003

**Anmelder/Inhaber:** Infineon Technologies AG, 81669 München/DE

**Bezeichnung:** Integrierter Transceiverschaltkreis

**IPC:** H 04 B 1/40; H 04 B 1/16

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der Teile der am 16. April 2003 eingereichten Unterlagen dieser Patentanmeldung unabhängig von gegebenenfalls durch das Kopierverfahren bedingten Farbabweichungen.

München, den 26. April 2007  
**Deutsches Patent- und Markenamt**  
**Der Präsident**  
Im Auftrag

A stylized, handwritten signature in black ink, appearing to read 'Kahle'.

## Beschreibung

## Integrierter Transceiverschaltkreis

5 Die Erfindung betrifft einen integrierten Transceiverschaltkreis, der einen integrierten Empfänger und zusätzlich einen integrierten Sender aufweist. Mit Hilfe des integrierten Transceiverschaltkreises kann über einen Duplexer und eine Antenne gleichzeitig ein Sendesignal ausgesandt und ein Empfangssignal empfangen werden.

Derartige Transceiver finden beispielsweise im Mobilfunkbereich Verwendung. Dabei kommen auch insbesondere Multimode-Transceiver zum Einsatz, wobei diese eine hohe Integrationsdichte und ein außerordentlich flexibles Transceiverkonzept benötigen, um die Anforderungen an einen geringen Leistungsverbrauch, einen kleinen Flächenbedarf und der verschiedenen Mobilfunkgeräte erfüllen. Dabei setzt jedes Mobilfunkkommunikationssystem seine eigenen Taktfrequenzen für die integrierten Analog-Digital-Wandler und die digitale Signalverarbeitungseinheit voraus. So setzt beispielsweise ein nach dem GSM-Standard (Global System for Mobile Communications) arbeitendes Mobilfunkgerät eine Taktfrequenz von 13 MHz oder ein vielfaches davon voraus. Ein nach dem UMTS-Standard (Universal Mobile Telecommunications/Telephony System) arbeitendes Mobilfunkgerät erfordert hingegen eine Taktfrequenz von 3,84 MHz. Ein nach dem CDMA 2000 Standard (Code Division Multiple Access) arbeitendes Mobilfunksystem benötigt eine Taktfrequenz von 3,6864 MHz, wohingegen das GPS (Global Positioning System) eine Taktfrequenz von 10,033 MHz benötigt. Schließlich erfordert das DAB (Digital Audio Broadcast/Broadcasting)-System eine Taktfrequenz von 8,192 MHz. Anhand dieser Beispiele ist bereits ohne weiteres erkennbar, dass es zwischen diesen verschiedenen Taktfrequenzen keine Integer-Beziehung gibt. Das Design des Multimode- oder Multisystemtransceivers muss jedoch derart ausgelegt sein, dass es für alle Kommunikationsstandards und insbesondere für die oben

genannten Standards verwendbar ist. Das heißt, dass die einzelnen Funktionsblöcke des Transceivers für die Verwendung in verschiedenen Mobilfunkkommunikationssystemen geeignet sein müssen.

5

Ein weiteres Problem bei der Entwicklung eines integrierten Multimode-Transceiverschaltkreises besteht darin, dass zusätzlich gleichzeitig die Taktfrequenz so niedrig sein muss, dass die Vielfachen der Taktfrequenz, also deren harmonische Frequenzen, nicht in das gewünschte Signalband des Empfängers oder in das Zwischenfrequenzband fallen. Die harmonischen Frequenzen der Taktfrequenz dürfen auch nicht im Signalspektrum des Sendesignals auftauchen. Zudem muss die integrierte Transceiverschaltung so konzipiert sein, dass die Empfangsstörungen im Empfängerpfad durch die harmonischen Taktfrequenzen der parasitären Modulation des spannungsgesteuerten Oszillators (VCO) außerhalb der spezifizierten Frequenzbandbreite des Mobilfunksystems liegen. Andererseits soll jedoch die Taktfrequenz hoch genug sein, um ein verstärktes Oversampling, also eine Überabtastung, für die Analog-Digital-Wandler, welche als Switched-Capacitor (SC) Sigma-Delta-Wandler oder als Continuous-Time (CT) Sigma-Delta-Wandler ausgeführt sein können, zu ermöglichen.

25

Weil einige lokale Oszillatoren und die Takte für die Analog-Digital- und Digital-Analog-Wandler auf dem Transceiverchip integriert sind, muss eine besonders vorsichtige Frequenz- und Taktplanung vorgenommen werden. Dies ist insbesondere erforderlich, um unerwünschte Störungen im gewünschten RF- oder IF-Band oder im Basisfrequenzband zu vermeiden. Des weiteren muss die Ableitung der notwendigen Signale vom Haupttakt auf eine Art und Weise erfolgen, die es erlaubt, den Stromverbrauch so gering wie möglich zu halten, die Chipfläche zu minimieren und eine flexible Lösung anzubieten.

35

Bisher wurde der Takt für die Analog-Digital-Wandler aus dem Taktsignal eines Quarzoszillators oder aus den harmonischen



Frequenzen des Taktsignals des Quarzoszillators gewonnen, wobei der Quarzoszillator außerhalb des integrierten Schaltkreises angeordnet ist. Alternativ dazu wurde das Problem bisher gelöst, indem eigens für diesen Zweck ein separater

5 Frequenzgenerator aus einem spannungsgesteuerten Oszillator und einer Phasenregelschleife außerhalb des integrierten Schaltkreises vorgesehen wurde.

Eine Aufgabe der Erfindung ist es, einen integrierten

10 Transceiverschaltkreis anzugeben, der für verschiedene Taktfrequenzen verwendbar ist, wobei die durch die Taktfrequenz erzeugten harmonischen Frequenzen keine Störungen verursachen.

15 Die Aufgabe wird durch einen integrierten Transceiverschaltkreis mit den Merkmalen gemäß Patentanspruch 1 gelöst.

Vorteilhafterweise benötigt der erfindungsgemäße integrierte Transceiverschaltkreis außerordentlich wenig Platz. Ein weiterer Vorteil besteht darin, dass der Stromverbrauch minimal

20 ist.

Das vorgeschlagene Prinzip ist nicht nur bei Transceiverschaltkreisen, sondern auch bei separaten Sendevorrichtungen und auch bei separaten Empfangsvorrichtungen anwendbar.

25

Der erfindungsgemäße integrierte Transceiverschaltkreis weist einen Empfangspfad auf, wobei der Empfangspfad eine Mischereinheit zum Demodulieren eines Empfangssignals und eine

30 Analog-Digital-Wandlereinheit aufweist, die der Mischereinheit nachgeschaltet ist. Der integrierte Transceiverschaltkreis weist zudem einen ersten spannungsgesteuerten Oszillator und einen ersten Frequenzteiler auf, wobei der Frequenzteiler zwischen dem ersten Oszillator und die Mischeinheit

35 geschaltet ist, um die Demodulationsfrequenz vorzugeben. Schließlich ist noch ein zweiter Frequenzteiler vorgesehen, der zwischen dem ersten Oszillator und die Analog-Digital-

Wandlereinheit geschaltet ist, um die Abtastfrequenz vorzugeben.

Vorteilhafte Weiterbildungen der Erfindung ergeben sich aus  
5 den in den abhängigen Patentansprüchen angegebenen Merkmalen.

Bei einer ersten Weiterbildung des erfindungsgemäßen integrierten Transceiverschaltkreises ist ein Sendepfad vorgesehen, wobei der Sendepfad einen Modulator zum Modulieren eines  
10 zu sendenden Signals aufweist. Des weiteren ist ein zweiter spannungsgesteuerter Oszillator und ein dritter Frequenzteiler vorgesehen, wobei der dritte Frequenzteiler zwischen den zweiten Oszillator und den Modulator geschaltet ist, um die Modulationsfrequenz vorzugeben. Dadurch wird erreicht, dass  
15 auch im Sendepfad die Harmonischen der Taktfrequenz außerhalb der Bandbreite des Nutzsignals liegen.

Bei einer zweiten Weiterbildung der Erfindung weist der integrierte Transceiverschaltkreis im Sendepfad eine Digital-  
20 Analog-Wandlereinheit auf, die dem Modulator vorgeschaltet ist. Zudem ist ein vierter Frequenzteiler vorgesehen, der zwischen dem zweiten Oszillator und die Digital-Analog-Wandlereinheit geschaltet ist, um deren Abtastfrequenz vorzugeben. Durch die Kopplung der Digital-Analog-Wandlereinheit  
25 mit dem auf dem integrierten Transceiverschaltkreis vorhandenen zweiten spannungsgesteuerten Oszillator kann auf einfache Art und Weise eine verstärkte Überabtastung erreicht werden, ohne dass zusätzliche Störungen im Nutzsignal auftreten.

30 Das beschriebene Prinzip ist nicht auf Sende- und Empfangseinheiten beschränkt, sondern kann auch bei separaten Sendevorrichtungen oder separaten Empfangsvorrichtungen angewandt werden.

35 Bei einer dritten Weiterbildung des erfindungsgemäßen integrierten Transceiverschaltkreises ist ein Referenzfrequenzeingang zum Anlegen einer externen Referenzfrequenz vor-

gesehen. Des weiteren ist ein erster Phasenregelkreis vorgesehen, der zwischen den Referenzfrequenzeingang und den ersten spannungsgesteuerten Oszillator geschaltet ist. Damit kann die von einem externen Quarzoszillator erzeugte hochgenaue, aber niedrige Referenzfrequenz in eine hohe und zusätzlich genaue interne Referenzfrequenz umgesetzt werden.

Vorteilhafterweise weist der integrierte Transceiverschaltkreis einen zweiten Phasenregelkreis auf, der zwischen den Referenzfrequenzeingang und den zweiten spannungsgesteuerten Oszillator geschaltet ist. Damit lässt sich der oben genannte Vorteil auch im Sendepfad nutzen.

Zudem ist es von Vorteil, wenn der erfindungsgemäße integrierte Transceiverschaltkreis eine Tiefpassfiltereinheit aufweist, die zwischen die Mischereinheit und die Analog-Digital-Wandlereinheit geschaltet ist. Mit Hilfe der Tiefpasseinheit kann der Signalanteil aus dem vom Mischer erzeugten Signal herausgefiltert werden, der das eigentliche Nutzs-  
signal darstellt.

Darüber hinaus kann der integrierte Transceiverschaltkreis mit einer zweiten Tiefpassfiltereinheit versehen sein, die zwischen die Digital-Analog-Wandlereinheit und den Modulator geschaltet ist.

Zur Lösung der Aufgabe wird ferner vorgeschlagen, dass die Mischeinheit des integrierten Transceiverschaltkreises als IQ-Mischer ausgebildet ist.

Der Modulator des integrierten Transceiverschaltkreises kann nach einem weiteren Merkmal der Erfindung als IQ-Modulator ausgebildet sein.

In einer weiteren Ausführungsform der Erfindung weist der Empfangspfad eine digitale Signalverarbeitungseinheit auf, die der Analog-Digital-Wandlereinheit nachgeschaltet ist und

wobei der Ausgang der digitalen Signalverarbeitungseinheit einen digitalen Empfangspfadausgang bildet.

Nach einem weiteren Merkmal der Erfindung kann die Schaltung noch weiter verbessert werden, indem der Empfangspfad eine Digital-Analog-Wandlereinheit aufweist, welche der digitalen Signalverarbeitungseinheit nachgeschaltet ist und der Ausgang der Digital-Analog-Wandlereinheit einen analogen Empfangspfadausgang bildet. Somit können an den Ausgängen des integrierten Transceiverschaltkreises wahlweise ein digitales Empfangssignal oder ein analoges Empfangssignal abgegriffen werden.

Zudem kann bei dem erfindungsgemäßen integrierten Transceiverschaltkreis die Analog-Digital-Wandlereinheit einen ersten Analog-Digital-Wandler und einen zweiten Analog-Digital-Wandler aufweisen, wobei deren Abtaststeuereingänge mit dem Ausgang des zweiten Frequenzteilers verbunden sind. Somit können insbesondere bei Verwendung eines IQ-Mischers der In-phase-Signalanteil und der Quadratur-Signalanteil synchron von einem analogen in ein digitales Signal konvertiert werden.

Schließlich können bei dem erfindungsgemäßen integrierten Transceiverschaltkreis die Teilerwerte der Frequenzteiler ganzzahlige Werte sein. Dies hat unter anderem den Vorteil, dass deren Platzbedarf auf dem Transceiverbaustein gering und deren Stromverbrauch niedrig ist.

Im Folgenden wird die Erfindung mit mehreren Ausführungsbeispielen anhand von zwei Figuren weiter erläutert.

Figur 1 zeigt den prinzipiellen Aufbau des erfindungsgemäßen integrierten Transceiverschaltkreises in Form eines Blockschaltbildes.

Figur 2 zeigt in Form eines Blockschaltbildes die im digitalen Signalprozessor vorhandenen Komponenten zur Verarbeitung des digitalisierten Empfangssignals.

5 Das Blockschaltbild in Figur 1 zeigt den prinzipiellen Aufbau des erfindungsgemäßen integrierten Transceiverschaltkreises in einer möglichen Ausführungsform. Der integrierte Transceiverschaltkreis 3 weist einen Referenzfrequenzeingang 32 auf, mit dem ein externer Quarzoszillator 24 verbunden ist. Über  
10 den externen Quarzoszillator 24 wird ein Referenzsignal mit einer Referenzfrequenz erzeugt, das eine hohe Frequenzstabilität aufweist. Der Referenzfrequenzeingang 32 ist mit dem Eingang einer ersten Phasenregelschleife 19, welche auch als Phase Locked Loop (PLL) bezeichnet wird, und dem Eingang einer zweiten Phasenregelschleife 20 verbunden. Die erste Phasenregelschleife 19 erzeugt in Verbindung mit einem lokalen Oszillator 18, der als spannungsgesteuerter Oszillator ausgebildet ist und auch als Voltage Controlled Oscillator (VCO) bezeichnet wird, eine außerordentlich stabile erste interne  
15 Taktfrequenz. Die vom spannungsgesteuerten Oszillator 18 erzeugte Taktfrequenz wird über einen ersten Frequenzteiler 12, der die Taktfrequenz um den Faktor K teilt, auf die beiden Eingänge eines IQ-Mischers 11.1 und 11.2 geführt. Der Faktor K ist ein aus der Menge der natürlichen Zahlen entnommener Wert. Ein am Empfängereingang 39 des integrierten Transceiverschaltkreises 3 anliegendes Empfangssignals ES, welches von einer Antenne 2 empfangen und über einen Duplexer 1 auf den Empfängereingang 39 geführt wurde, wird über einen Empfangsverstärker 10 verstärkt und auf die beiden Mischereingänge des IQ-Mischers 11.1 und 11.2 geführt. Mit Hilfe des IQ-Mischers 11.1, 11.2 wird das verstärkte Empfangssignal ES mit dem durch den Faktor K geteilten internen Taktsignal gemischt und über ein erstes Tiefpassfilter 13.1 bzw. ein zweites Tiefpassfilter 13.2 auf die Eingänge einer Analog-  
25 Digital-Wandlereinheit 14.1 und 14.2 geführt. Die Analog-Digital-Wandlereinheit weist zwei Analog-Digital-Wandler 14.1 und 14.2 auf, deren Steuereingänge für das Abtastsignal mit  
30  
35

einem zweiten Frequenzteiler 23 verbunden sind, wobei der zweite Frequenzteiler 23 die vom spannungsgesteuerten Oszillator 18 erzeugte interne Referenzfrequenz durch den Teilerwert  $N$ , der ebenfalls ein ganzzahliger Wert ist, teilt. Die an den Ausgängen der beiden Analog-Digital-Wandler 14.1 und 14.2 anliegenden heruntergemischten digitalen Empfangssignale werden auf eine digitale Signalbearbeitungseinheit 15, bestehend aus den beiden Signalverarbeitungsblöcken 15.1 und 15.2 geführt. Der Inphase- und der Quadratur-Signalanteil des Empfangssignals werden mit Hilfe des digitalen Signalprozessors 15 mit den in Figur 2 gezeigten Schritten weiter verarbeitet und stehen dann als digitale Empfangssignalanteile an den beiden digitalen EmpfängerAusgängen 33 bzw. 34 des integrierten Transceiverschaltkreises 3 zur Verfügung. Der Empfangspfad des Transceiverschaltkreises 3 weist zudem zwei Digital-Analog-Wandler 16.1 und 16.2 auf, die dem digitalen Signalprozessor 15 nachgeschaltet sind und aus den digitalen Empfangssignalanteilen zusammen mit zwei Tiefpassfiltern 17.1 und 17.2 ein analoges Empfangssignal, bestehend aus einem Inphase- und einem Quadratur-Anteil, bilden. Die beiden analogen Signalanteile sind an den beiden analogen Ausgangsanschlüssen 41 und 42 abgreifbar.

Der spannungsgesteuerte Oszillator 18 kann beispielsweise bei Verwendung des Transceivers in einem CDMA-System ein Taktsignal mit einer Frequenz von 4 GHz erzeugen, welches dann mit dem 1:K-Frequenzteiler 12 und dem 1:N-Frequenzteiler 23 auf die erforderlichen Frequenzen heruntergeteilt wird. So kann beispielsweise die Abtastfrequenz der Analog-Digital-Wandler 14.1 und 14.2 auf 400 MHz festgelegt werden. Als Teilerwert  $N$  ergibt sich dann daraus der Wert 10.

Der Sendepfad des integrierten Transceiverbausteins 3 weist zwei digitale Eingänge 35 und 38 auf, über die zwei Digital-Analog-Wandler 31.1 und 31.2 aus einem im Basisband vorliegenden digitalen Sendesignal ein analoges Sendesignal erzeugen. Dieses wird über zwei Tiefpassfilter 30.1 und 30.2 auf

die Eingänge zweier Mischer 28.1 und 28.2 eines Modulators 28.1, 28.2, 27 geführt. Das von dem lokalen Oszillator 21 in Verbindung mit der Phasenregelschleife 20 erzeugte interne Taktsignal wird durch einen 1:L-Frequenzteiler 29 geteilt und  
5 auf die beiden weiteren Eingänge der beiden Mischer 28.1 und 28.2 geführt. Der 1:L-Frequenzteiler teilt die Frequenz durch einen ganzzahligen Wert L. Der vom Mischer 28.1 erzeugte In-phase-Signalanteil, welcher keine Phasenverschiebung aufweist, wird mit Hilfe eines Addierers 27 zu dem durch den Mi-  
10 scher 28.2 erzeugten Quadratursignalanteil, der um  $90^\circ$  phasenverschoben ist, addiert und auf einen internen Verstärker 26 mit einstellbarer Verstärkung geführt. Das verstärkte Sendesignal ist dann am Sendesignalausgang 40 des integrierten Transceiverbausteins 3 abgreifbar. Über einen externen Ver-  
15 stärker 25 kann es dann zusätzlich verstärkt mit Hilfe des Duplexers 1 auf die Antenne 2 geführt werden.

In Figur 2 sind die einzelnen Signalverarbeitungsschritte des digitalen Signalprozessors 15 in einzelne Funktionsblöcke  
20 aufgeteilt. Das am Eingang des digitalen Signalprozessors 15 anliegende digitale Empfangssignal wird zuerst mit Hilfe eines digitalen Filters 15.3 gefiltert, um anschließend mit Hilfe eines Verstärkers mit einstellbarer Verstärkung 15.4 verstärkt zu werden. In einem nächsten Schritt wird das Si-  
25 gnal mit Hilfe eines Hilbert-Filters 15.5 gefiltert, wobei hier die negativen Frequenzen gedämpft und die positiven Frequenzen durchgelassen werden. Anschließend wird das so gefilterte Signal über einen digitalen Mischer 15.6 mit hoher Genauigkeit gemischt und schließlich über einen Kanalfilter  
30 15.7 nochmals gefiltert, um dann als digitales Empfangssignal an den Anschlüssen 33 und 34 abgegriffen werden zu können. Die Frequenz des vom zweiten lokalen Oszillator 21 erzeugten Signals wird mit Hilfe des 1:M-Frequenzteilers 22 durch einen ganzzahligen Wert M geteilt und auf die Steuereingänge für  
35 das Abtastsignal der beiden Digital-Analog-Wandler 31.1 und 31.2 geführt.

Dadurch, dass die Abtastfrequenzen für die beiden Analog-Digital-Wandler 14.1 und 14.2 aus der Frequenz des lokalen Oszillators 18 gewonnen werden, indem dessen Frequenz durch einen ganzzahligen Teilerwert N geteilt werden, wird erreicht, dass die Frequenz des lokalen Oszillators 18 für jeden Frequenzkanal und für jedes Kommunikationssystem eine ganzzahlige Beziehung mit der Abtastfrequenz der Analog-Digital-Wandlereinheit 14.1, 14.2 aufweist. Daher fallen die harmonischen Frequenzanteile im Abtastsignal für die Analog-Digital-Wandlereinheit 14.1, 14.2 nie in den Bandbereich des Empfangssignals. Das gleiche gilt sinngemäß auch für das Verhältnis zwischen der vom zweiten lokalen Oszillator 21 erzeugten Frequenz und der Abtastfrequenz für die beiden Digital-Analog-Wandler 31.1 und 31.2. Auch hier fallen die harmonischen Frequenzen der Abtastsignale für die Digital-Analog-Wandler 31.1 und 31.2 niemals in den Frequenzbereich des Nutzsignals. Auf diese Art und Weise sind die Abtastsignale und deren harmonische Frequenzen synchron zum Sendesignal. Damit lassen sich die Anforderungen an die Maskierung des Sendesignalspektrums und an die Senderstörantworten einfacher erfüllen.

Mit Hilfe des integrierten Transceiverschaltkreises kann die Oszillatorfrequenz des externen Oszillators 24 für die beiden Phasenregelkreise 19 und 20 so niedrig gewählt werden, so dass die harmonischen Frequenzen nicht im gewünschten Empfangskanal auftreten können. Ein weiterer Vorteil besteht darin, dass die Abtastfrequenzen für die Analog-Digital-Wandler 14.1 und 14.2 sowie die Digital-Analog-Wandler 31.1 und 31.2 ausreichend hoch gewählt werden können, so dass eine ausreichend große Überabtastung möglich ist. Zudem verschiebt die Abtastfrequenz der Analog-Digital-Wandler 14.1, 14.2 die Empfängerstörantwort wegen der parasitären Empfänger-VCO-Modulation aus dem Frequenzband des Mobilfunksystems. Außerdem verschiebt die hohe Abtastfrequenz für die Digital-Analog-Wandler 31.1 und 31.2 die Senderstörantwort wegen der parasitären Sender-VCO-Modulation aus dem Frequenzband des



Mobilfunksystems. Ein weiterer Vorteil liegt darin begründet, dass die Chipfläche und der Leistungsverbrauch reduziert werden können, weil die Frequenzteiler 12, 23, 22 und 29, wenn sie beispielsweise in einer Submikrometer CMOS-Ausführung realisiert sind, nur einen geringen Strom verbrauchen und eine kleine Chipfläche beanspruchen. Des weiteren sind das Phasenrauschen im Empfangspfad klein und der Signaljitter im spannungsgesteuerten Oszillator 21 des Sendepfads ebenfalls sehr gering.

10

Falls es stören sollte, dass die Abtastfrequenz der Analog-Digital-Wandler 14.1 und 14.2 keine ganzzahlige Beziehung mit der Chiptaktrate, beispielsweise in einem CDMA-System, hat, kann dies auf die folgenden beiden Arten gelöst werden. Eine Möglichkeit besteht darin, dass in einem System mit einer niedrigen Bit-Rate, beispielsweise GSM, ein Abtastratenwandler vorgesehen werden kann. Eine zweite Möglichkeit besteht darin, dass das digitalisierte Empfangssignal wieder in ein analoges Empfangssignal zurückgewandelt wird und zwar mit Hilfe der beiden Digital-Analog-Wandler 16.1 und 16.2. Zudem sind dann zwei Rekonstruktionsfilter 17.1 und 17.2 vorgesehen, die den beiden Digital-Analog-Wandlern 16.1 und 16.2 nachgeschaltet sind, um das wieder in ein analoges Signal überführte Empfangssignal zu glätten. Die Anzahl der Bits und auch die Nyquist-Taktfrequenz sind dabei deutlich niedriger.

25

Mit Hilfe des erfindungsgemäßen integrierten Transceiver-schaltkreises kann ein Sender-Empfänger-Baustein für beispielsweise ein GSM-, UMTS-, CDMA-, GPS- und DAB-System realisiert werden. Vorteilhafterweise erzeugt der erfindungsgemäße integrierte Transceiverschaltkreis äußerst wenig Störungen und hat die niedrigste Störempfindlichkeit, wobei gleichzeitig der Leistungsverbrauch und die Chipfläche minimiert sind.

35

Die vorhergehende Beschreibung der Ausführungsbeispiele gemäß der vorliegenden Erfindung dient nur zu illustrativen Zwecken

und nicht zum Zwecke der Beschränkung der Erfindung. Im Rahmen der Erfindung sind verschiedene Änderungen und Modifikationen möglich, ohne den Umfang der Erfindung sowie ihre Äquivalente zu verlassen.

## Bezugszeichenliste

	1	Duplexer
	2	Antenne
5	3	Transceiverbaustein
	10	Eingangsverstärker
	11.1	Mischer
	11.2	Mischer
	12	1/K Teiler
10	13.1	Tiefpassfilter
	13.2	Tiefpassfilter
	14.1	Analog-Digital-Wandler
	14.2	Analog-Digital-Wandler
	15	digitaler Signalprozessor
15	15.3	digitales Filter
	15.4	Verstärker mit einstellbarer Verstärkung
	15.5	Hilbert Filter
	15.6	digitaler Mischer
	15.7	Kanalfilter
20	16	Digital-Analog-Wandler
	17	Tiefpassfilter
	18	spannungsgesteuerter Oszillator
	19	Phasenregelkreis
	20	Phasenregelkreis
25	21	spannungsgesteuerter Oszillator
	22	1/M Teiler
	23	1/N Teiler
	24	externer Oszillator
	25	externer Verstärker
30	26	Sendeverstärker
	27	Summierer
	28	Mischer
	29	1/L Teiler
	30	Tiefpassfilter
35	31	Digital-Analog-Wandler
	32	Referenzfrequenzeingang
	33	digitaler Empfängerausgang

	34	digitaler Empfänger Ausgang
	35	digitaler Eingang
	36	analoger Eingang
	37	analoger Eingang
5	38	digitaler Eingang
	39	Empfängereingang
	40	Senderausgang
	41	erster analoger Empfänger Ausgang
	42	zweiter analoger Empfänger Ausgang

## Patentansprüche

## 1. Integrierter Transceiverschaltkreis

mit einem Empfangspfad, in welchem eine Mischereinheit  
5 (11.1, 11.2) zum Demodulieren eines Empfangssignals (ES)  
vorgesehen ist, und in welchem eine Analog-Digital-  
Wandlereinheit (14.1, 14.2) der Mischereinheit (11.1,  
11.2) nachgeschaltet ist,  
mit einem ersten spannungsgesteuerten Oszillator (18),  
10 mit einem ersten Frequenzteiler (12), der zwischen den er-  
sten Oszillator (18) und die Mischereinheit (11.1, 11.2)  
geschaltet ist, um die Demodulationsfrequenz vorzugeben,  
mit einem zweiten Frequenzteiler (23) der zwischen den er-  
sten Oszillator (18) und die Analog-Digital-Wandlereinheit  
15 (14.1, 14.2) geschaltet ist, um die Abtastfrequenz vorzu-  
geben.

2. Integrierter Transceiverschaltkreis nach Patentanspruch 1,  
mit einem Sendepfad, in welchem ein Modulator (28.1, 28.2,  
20 27) zum Modulieren eines zu sendenden Signals vorgesehen  
ist,

mit einem zweiten spannungsgesteuerten Oszillator (21),  
mit einem dritten Frequenzteiler (29), der zwischen den  
zweiten Oszillator (21) und den Modulator (28.1, 28.2, 27)  
25 geschaltet ist, um die Modulationsfrequenz vorzugeben.

3. Integrierter Transceiverschaltkreis nach Patentanspruch 2,  
bei der im Sendepfad eine Digital-Analog-Wandlereinheit  
(31.1, 31.2) dem Modulator (28.1, 28.2, 27) vorgeschaltet  
30 ist,

mit einem vierten Frequenzteiler (22), der zwischen den  
zweiten Oszillator (21) und die Digital-Analog-  
Wandlereinheit (31.1, 31.2) geschaltet ist, um deren Ab-  
tastfrequenz vorzugeben.

4. Integrierter Transceiverschaltkreis nach einem der Patent-  
ansprüche 1 bis 3,

mit einem Referenzfrequenzeingang (32) zum Anlegen einer externen Referenzfrequenz,

mit einem ersten Phasenregelkreis (19), der zwischen den Referenzfrequenzeingang (32) und den ersten spannungsge-

5 steuerten Oszillator (18) geschaltet ist.

5. Integrierter Transceiverschaltkreis nach Patentanspruch 4, mit einem zweiten Phasenregelkreis (20), der zwischen den Referenzfrequenzeingang (32) und den zweiten spannungsge-
- 10 steuerten Oszillator (21) geschaltet ist.

6. Integrierter Transceiverschaltkreis nach einem der Patentansprüche 1 bis 5, mit einer Tiefpassfiltereinheit (13.1, 13.2), die zwischen
- 15 die Mischereinheit (11.1, 11.2) und die Analog-Digital-Wandlereinheit (14.1, 14.2) geschaltet ist.

7. Integrierter Transceiverschaltkreis nach einem der Patentansprüche 3 bis 6, mit einer zweiten Tiefpassfiltereinheit (30.1, 30.2), die
- 20 zwischen die Digital-Analog-Wandlereinheit (31.1, 31.2) und den Modulator (28.1, 28.2, 27) und geschaltet ist.

8. Integrierter Transceiverschaltkreis nach einem der Patentansprüche 1 bis 7, bei dem die Mischereinheit (11.1, 11.2) als IQ-Mischer
- 25 ausgebildet ist.

9. Integrierter Transceiverschaltkreis nach einem der Patentansprüche 2 bis 8, bei dem der Modulator (28.1, 28.2, 27) als IQ-Modulator
- 30 ausgebildet ist.

10. Integrierter Transceiverschaltkreis nach einem der Patentansprüche 1 bis 9, bei dem der Empfangspfad eine digitale Signalverarbeitungseinheit (15.1, 15.2) aufweist, die der Analog-
- 35

Digital-Wandlereinheit (14.1, 14.2) nachgeschaltet ist und der Ausgang der Signalverarbeitungseinheit (15.1, 15.2) einen digitalen Empfangspfadausgang (33, 34) bildet.

5 11. Integrierter Transceiverschaltkreis nach Patentanspruch 10,

bei dem der Empfangspfad eine Digital-Analog-Wandlereinheit (16.1, 16.2) aufweist, welche der digitalen Signalverarbeitungseinheit (15.1, 15.2) nachgeschaltet ist und der Ausgang der Digital-Analog-Wandlereinheit (16.1, 16.2) einen analogen Empfangspfadausgang (41, 42) bildet.

10 12. Integrierter Transceiverschaltkreis nach einem der Patentansprüche 1 bis 11,

15 bei der die Analog-Digital-Wandlereinheit (14.1, 14.2) einen ersten Analog-Digital-Wandler (14.1) und einen zweiten Analog-Digital-Wandler (14.2) aufweist, deren Abtaststeuereingänge mit dem Ausgang des zweiten Frequenzteilers (23) verbunden sind.

20 13. Integrierter Transceiverschaltkreis nach einem der Patentansprüche 1 bis 12,

bei dem die Teilerwerte der Frequenzteiler (12, 22, 23, 29) ganzzahlige Werte sind.

25

## Zusammenfassung

## Integrierter Transceiverschaltkreis

- 5 Der erfindungsgemäße integrierte Transceiverschaltkreis weist einen Empfangspfad auf, welcher wiederum eine Mischereinheit (11.1, 11.2) zum Demodulieren eines Empfangssignals (ES) und eine Analog-Digital-Wandlereinheit (14.1, 14.2), die der Mischereinheit (11.1, 11.2) nachgeschaltet ist, aufweist. Der
- 10 integrierte Transceiverschaltkreis weist zudem einen ersten spannungsgesteuerten Oszillator (18) und einen ersten Frequenzteiler (12) auf, wobei der Frequenzteiler (12) zwischen dem ersten Oszillator (18) und die Mischeinheit (11.1, 11.2) geschaltet ist, um die Demodulationsfrequenz vorzugeben.
- 15 Schließlich ist ein zweiter Frequenzteiler (23) vorgesehen, der zwischen dem ersten Oszillator (18) und die Analog-Digital-Wandlereinheit (14.1, 14.2) geschaltet ist, um die Abtastfrequenz vorzugeben.

20

Figur 1



